

DERWENT- 1992-289531
ACC-NO:
DERWENT- 199235
WEEK:

COPYRIGHT 2008 DERWENT INFORMATION LTD

TITLE: Field effect type thin film transistor - formed on plastic substrate and has channel semiconductor and gate insulation film formed of high polymer film

PATENT-ASSIGNEE: RICOH KK[RICO]

PRIORITY-DATA: 1990JP-0331165 (November 29, 1990)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 04199638 A	July 20, 1992	N/A	005	H01L 021/336

APPLICATION-DATA:

PUB-NO	APPL- DESCRIPTOR	APPL-NO	APPL-DATE
JP 04199638A	N/A	1990JP- 0331165	November 29, 1990

INT-CL C09F009/00, C09K019/00 , G02F001/136 , H01L021/336 ,
(IPC): H01L027/12 , H01L029/28 , H01L029/784

ABSTRACTED-PUB-NO: JP 04199638A

BASIC-ABSTRACT:

In a transistor formed on a plastic substrate the channel semiconductor and the gate insulation film of the transistor consists of high polymer film.

The transistor can be produced by forming high polymer material onto surface of a gate electrode by electrodeposition, attaching a source electrode and a drain electrode, applying an organic high polymer thin film to form a channel semiconductor, and then photoetching to remove unnecessary part of the organic high polymer thin film. Plastic substrate is e.g. polyimide, biaxially stretched polyester film, monoaxially stretched polyester film, polycarbonate, polyether sulphone or polysulphone etc.

USE/ADVANTAGE - Transistor with good stripping resistance can be produced in high productivity producibility, and is used for active matrix displaying device.

si

CHOSEN- Dwg.1,2/4
DRAWING:

TITLE- FIELD EFFECT TYPE THIN FILM TRANSISTOR
TERMS: FORMING PLASTIC SUBSTRATE CHANNEL
SEMICONDUCTOR GATE INSULATE FILM FORMING
HIGH POLYMER FILM

DERWENT-CLASS: A28 A85 L03 P81 U11 U14

CPI-CODES: A12-E07C; L04-C12E; L04-E01A;

EPI-CODES: U11-C18A1; U14-H01A; U14-K01A2B;

POLYMER-MULTIPUNCH-CODES-AND-KEY-SERIALS:

Key Serials: 0004 0016 0020 0231 1279 1285 1291 1292 1309

1995 2016 2194 2198 2201 2419 2420 2513 2514
2519 2551 2718 3225 3226 3279
Multipunch 014 038 04- 05- 141 143 144 147 151 153 155 157 158
Codes: 23- 231 236 27- 353 359 431 435 447 477 494 498
50& 506 509 546 58& 59& 623 627 684 726

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1992-128945

Non-CPI Secondary Accession Numbers: N1992-221511

⑫ 公開特許公報(A) 平4-199638

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)7月20日

H 01 L 21/336
 C 09 F 9/00
 C 09 K 19/00
 G 02 F 1/136
 H 01 L 27/12
 29/28
 29/784

5 0 0

A

7106-4H
 6742-4H
 9018-2K
 7514-4M
 6412-4M

9056-4M H 01 L 29/78
 9056-4M

3 1 1 Z
 3 1 1 G

審査請求 未請求 請求項の数 5 (全5頁)

⑭ 発明の名称 電界効果型薄膜トランジスタ、これを用いた表示装置及びその製造方法

⑮ 特 願 平2-331165

⑯ 出 願 平2(1990)11月29日

⑰ 発 明 者 大 澤 利 幸 東京都大田区中馬込1丁目3番6号 株式会社リコー内
 ⑱ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号
 ⑲ 代 理 人 弁 理 士 池 浦 敏 明 外1名

明 細 書

1. 発明の名称

電界効果型薄膜トランジスタ、これを用いた表示装置及びその製造方法

2. 特許請求の範囲

(1) プラスチック基板上に形成された薄膜トランジスタにおいて、チャンネル半導体及びゲート絶縁膜が高分子膜からなることを特徴とする電界効果型薄膜トランジスタ。

(2) 前記チャンネル半導体としての有機高分子薄膜及び/又はその前駆体が活性光線に対してレジスト性を有するものである請求項1に記載の電界効果型薄膜トランジスタ。

(3) 前記チャンネル半導体としての有機高分子薄膜が、ポリアリーレンビニレンまたは置換ポリアセチレンから選ばれるものである請求項1に記載の電界効果型薄膜トランジスタ。

(4) プラスチック基板上にチャンネル半導体及びゲート絶縁膜を有機高分子膜で形成した電界効果型トランジスタによって駆動されるものであって、

ゲート電極及び画素電極が該プラスチック基板の同一平面上にあることを特徴とするアクティブマトリクス型表示装置。

(5) 少なくとも下記(a)(b)(c)及び(d)の工程を含むことを特徴とする表示装置の製造方法。

(a) ゲート電極表面に高分子材料を電析させる工程

(b) ソース及びドレイン電極を敷設する工程

(c) チャンネル半導体としての有機高分子薄膜を敷布する工程

(d) フォトエッチングによって不要部分の有機高分子薄膜を除去する工程

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はプラスチック基板上に形成された電界効果型薄膜トランジスタ、その薄膜トランジスタを用いた表示装置及びその表示装置の製造方法に関する。

〔従来の技術〕

電解重合法、プラズマ重合法、ラングミュア・

プロジェクト法(LB法)などに代表される有機薄膜の形成技術の進歩により、有機薄膜を用いた電子素子の研究が活発になされている。ダーラム(Durham)大学のロバーツ(G.G.Roberts)らの有機薄膜を用いたMIS型FET素子の研究を初めとして、多くの研究機関で有機化合物の半導体素子への応用研究が進められている。そして、これらの有機薄膜を用いた電子素子は、等倍イメージセンサ、LCD、ELCなどの表示デバイスのアクティブマトリクス等の大面積化への応用に大きく期待される。

ところで、液晶の表示容量を拡大する手段として、各画素毎にアクティブ素子を形成する方法が、表示品質の向上と大容量化を可能にするものとして注目され、小型カラーテレビからOA機器用ドットマトリクス用表示装置へと発展しつつある。

液晶表示用アクティブマトリクスとしては、単純マトリクス、MIM素子などの二端子型、TFTのような三端子型などいろいろなものが考案されている。二端子型のものは、三端子型のものに比較して構造が単純で製造工程が比較的低温であるため、

低価格で高信頼性のアクティブ素子として用いられている。また、カラー化、高精細化にはTFTが有力と考えられている。しかし、シリコンプロセスの中でも比較的低温とされているアモルファスSiで300℃、多結晶Siは多結晶化温度が600℃と高温であり、基板には石英を採用するなど多くの制約がある。

これに対して、有機材料は低温で加工でき、アクティブマトリクスの大面積化はシリコンプロセスに比べ遥かに容易になる可能性を秘めている。最近、有機材料の非線形電気特性を利用した新規なアクティブ素子を液晶表示装置に利用しようという動きもある。さらに、液晶表示装置の小型、軽量化に対応するために、基板として高分子フィルムを用いることが提案され、一部実用化もされている。高分子フィルム基板にアクティブマトリクス素子を形成する場合には、基板の耐熱性が十分でないことから特に低温で形成する必要があり、特開昭60-35574号公報などに各種の低温プロセスが提案されている。

(発明が解決しようとする課題)

本発明は、プラスチック基板上に形成された新規な構成、プロセスによる薄膜トランジスタに関するものであり、製造工程を簡略化することが可能で、さらに、生産性に優れたアクティブマトリクス型表示装置を提供するものである。

(課題を解決するための手段)

本発明の第1は、プラスチック基板上に形成された電界効果型薄膜トランジスタにおいて、チャンネル半導体及びゲート絶縁膜が高分子膜からなることを特徴としている。

本発明の第2はアクティブマトリクス型表示装置において、前記本発明の第1の電界効果型薄膜トランジスタによって駆動されるものであってゲート電極と画素電極とがプラスチック基板の同一平面上にあることを特徴としている。

本発明の第3は表示装置の製造方法であって、少なくとも

- (a)ゲート電極表面に高分子材料を電析させる工程、

- (b)ソース及びドレイン電極を敷設する工程

- (c)チャンネル半導体としての有機高分子薄膜を塗布する工程、

- (d)フォトリソエッチングによって不要部分の有機高分子薄膜を除去する工程、

を含むことを特徴としている。

本発明者は、プラスチックを基板とした表示素子用アクティブマトリクスにあつて、特定の系が、性能並びにプロセスにおいて特に優れていることを見出し本発明をなすにいたった。即ち、本発明は、プラスチック基板上に高分子薄膜よりなる新規な薄膜トランジスタを形成するものであり、低温プロセスにより、大面積アクティブマトリクスを形成するというものである。

もっとも、有機材料等の非線形伝導性を利用した2端子型アクティブ素子の他、3端子型アクティブ素子の半導体としても有機高分子材料を用いる試みは既に行なわれており、ポリアセチンを用いたMIS FETについてはEbisawa, E., Kurokawa T. & Narita S., J. Appl. Phys. 54, 3255-3260 (1983)で動作が確

認されている。その後、いくつかの研究によりその特性の改良が試みられているが、いまだデバイス化には到っていないのが実情である。その理由として有機高分子としてキャリアモビリティの十分に高いものが得られていないこと、従来考えられている応用面でのプロセスとしてのメリットがあまりないこと、等があげられる。また、液晶表示用のアクティブマトリクスとしての用途も提案されているが、構成面において具体性がなく、更に、報告はいずれもシリコン基板、プラスチック基板に対する検討はほとんど行われていない。

以下に本発明を添付の図面に従いがらさらに詳細に説明する。

第1図及び第2図は本発明に係るアクティブマトリクス型表示装置の二例の概略を示したものであり、図中、Gは表示装置の主要部を構成する電界効果型薄膜トランジスタのドレイン電極が画素電極に接続している様子を表わしている。

高分子基板としては、ポリイミドフィルム、二軸延伸ポリエステルフィルム、一軸延伸ポリエ

テルフィルム、ポリカーボネートフィルム、ポリエーテルサルホンフィルム、ポリサルホンフィルムなどの高分子フィルムがあげられるが、湿度に対する伸縮性が小さいものが望まれる。

基板として高分子フィルムを使用することは電子機器のハンドヘルド化に伴う軽量化、高信頼性に大きなメリットである。しかし、一方において、基板の耐熱温度は低く、耐熱温度の高いポリイミドフィルムといえども250℃程度以下の温度が加工温度の上限となる。現在のところアモルファスシリコンで300℃、多結晶シリコンでは多結晶化温度に600℃と高温を要する。

本発明はこれらのプロセスにおける熱処理温度をポリエステルフィルムが使用可能な150℃以下とするとともに、ヒートサイクルに対して基板上に形成されたトランジスタが高分子フィルム基板との剥離を起こさず、かつ、表示用アクティブマトリクスとして高精細化、カラー化等に対応できる薄膜にトランジスタに関するものである。

本発明はスタガ型あるいは逆スタガ型のいずれ

の構成においても有効であるが、特に第2図に示される逆スタガ型において高信頼化、大面積化が容易である。

実際に、例えば第2図にみられる薄膜トランジスタをつくるには、高分子基板1上にゲート電極2を例えばITOでパターン化して形成する。その際、ゲート電極2とともに画素電極7を形成せしめれば表示装置Gが得られるようになる。次いで、ゲート絶縁膜3及びチャンネル半導体膜10を形成する。

ゲート絶縁膜3としてはあらゆる絶縁性の有機又は無機高分子があげられ、プラズマ重合、LB法、電析法によって形成されたものが膜厚制御という観点から望ましい。プラズマ重合によるi-カーボン膜、LB法によるアラキンは絶縁膜としてすぐれているが、レジストによるパターンニングの工程を必要とする。これに対し、電析法では電極部分に選択的に絶縁膜を形成することができるために特に好ましい。

電析法としては電解重合法があげられ未ドーパ状態の導電性高分子がこの方法によって容易に形

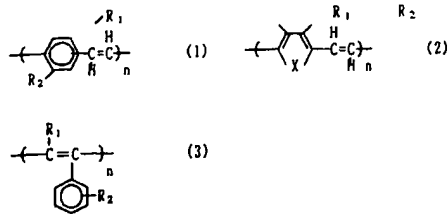
成できる。また、フェロセニルアルキレンオキシドのような界面活性剤にフィラーを分散して微粒子から膜を得る方法がとられてもよい。

チャンネル半導体10としては、ポリピロール、ポリチオフェン、ポリアセチレン、ポリフタロシアニン、ポリシラン、ポリジアセチレン等いわゆる導電性高分子が採用されるが、その中でも、次の物性値を有するものが好ましい。即ち、イオン化ポテンシャルが5eV以下であるのが好ましく、更に、微量のドーピングによっても物性が安定であること等である。

本発明においては可溶化タイプの高分子が特に本発明を実現する上で重要であり、このような高分子としてポリアニリン、ポリ-N-カルボキシピロール、ポリ3-アルキルチオフェン、ポリ3-アルキルシラン、ポリ-3,4-アルキルチオフェン、ポリフェニルアセチレン等の他、ポリフェニレンビニレン、ポリチエニレンビニレン等の前駆体ポリマーが可溶な系が有用である。

本発明はこれらの高分子をパターン化する工程

において、次の高分子が最も好ましい。



(R¹, R²はH、炭素数1-12のアルキル基、アルコキシ基、又は分子量500以下のポリエーテルを、XはNH又はS, O, Se, Te等の酸素属から選ばれるヘテロ原子を表わす。)

これらの一般式で示される高分子又はその前駆体はいずれも光または放射線でレジストとなることが見い出された。(1), (2)はその前駆体がUV光に対して、(3)はそのものが放射線に対してレジスト作用をもつものであり、本発明のアクティブマトリクス製造工程においてフォトリソグラフィ工程を有するものである。

ドレイン電極4及びソース電極5は従来法と同様リフトオフ法により形成される。なお、トランジ

スタの表面にはパッシベーション膜(図示されていない)及び配向膜等が必要になり成膜される。

本発明はかかる材料及びプロセスによりプラスチック基板上に形成された薄膜トランジスタ及びそれを用いたアクティブマトリクス素子、これらの製造プロセスに関するものであり、薄膜トランジスタの具体的製造例を第3図に示した。

(実施例)

プラスチック基板として約100 μ m厚の一延伸ポリエチレンフィルム基板上にITO膜を形成し、エッチングにより画素電極、ゲート電極を形成した。このゲート電極上に電解重合法によりポリパラフェニレンを析出せしめ完全に中和処理を行った。さらにポリ2,5-エトキシフェニレンビニレンのスルホン化前駆体をトルエン溶液に溶解させてスピニングコートにより塗布乾燥した。この際画素電極1及びゲート電極にマスクして光照射を行い未照射部を溶液で洗いながした。ソース電極及びドレイン電極はリフトオフ法により金を蒸着した。

こうして得られた電界効果型薄膜トランジスタ

の静特性を第4図に示す。

さらに、ポリイミド配向膜を形成したのちラビング処理したものに、約10 μ mのギャップ幅で対向させ、この中にネマティック液晶ZLI 1505(メルク社製)を封入し周囲をシールして、アクティブマトリクス型液晶表示装置(セル)を作成した。

このセルを2枚の偏光板に挟み、線順次駆動方式により駆動したところ、デューティ比1/256程度までほぼスタティック駆動と同様のコントラスト視覚特性が得られた。

(発明の効果)

本発明によれば製造工程が簡素化されるだけでなく、生産性にすぐれたアクティブマトリクス型表示装置が得られる。

4. 図面の簡単な説明

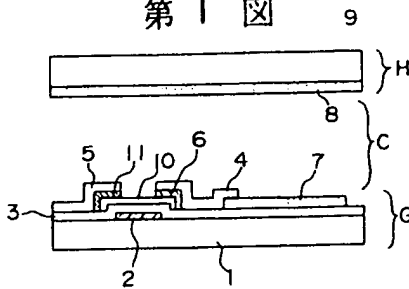
第1図及び第2図は本発明に係る電界効果型薄膜トランジスタを用いた表示装置の二例の概略図である。

第3図はその薄膜トランジスタの製造例を示したのである。

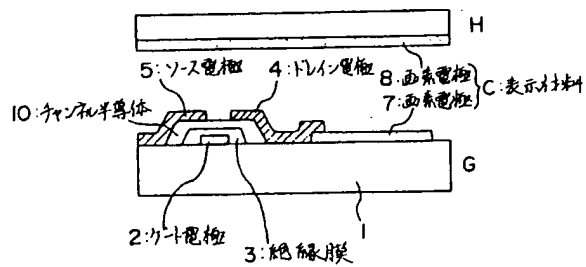
第4図は本発明に係る薄膜トランジスタの一例の静特性を表わしたグラフである。

特許出願人 株式会社 リ コ ー
代理人 弁理士 池 浦 敏 明
(ほか1名)

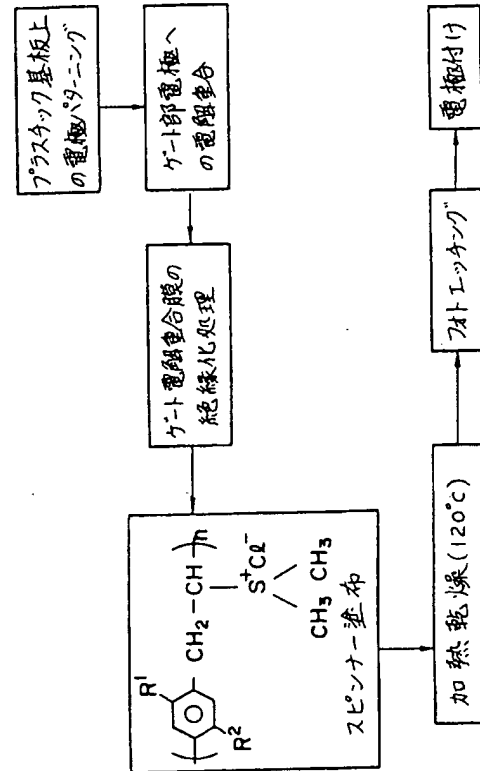
第1図



第2図



第3図



第4図

